

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-085065

(43)Date of publication of application : 30.03.1999

(51)Int.Cl.

G09F 9/35
G02F 1/136
G09G 3/36

(21)Application number : 09-248333

(71)Applicant : HITACHI LTD

(22)Date of filing : 12.09.1997

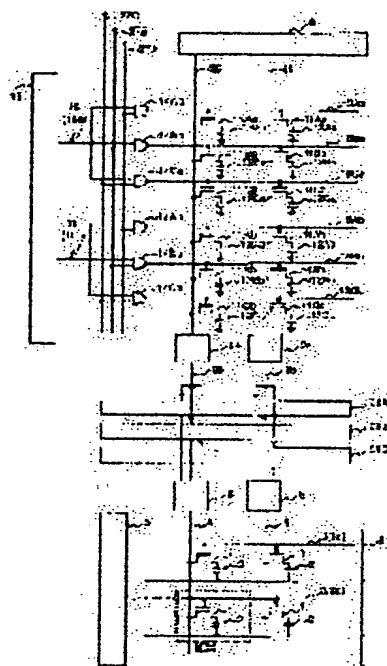
(72)Inventor : AKIMOTO HAJIME
HATANO MUTSUOKO

(54) IMAGE DISPLAY DEVICE, ITS DRIVING METHOD AND DATA PROCESSING SYSTEM USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to avert the increase of a signal input frequency and the occurrence of problems in packaging when the number of pixels increases by integrating frame memories with a display.

SOLUTION: The pixels comprising TFT switches 1, pixel electrodes connected to their source electrodes and pixel capacitors 2 consisting of common electrodes are arranged in a matrix. Gate lines 3 are connected to the gates of the TFT switches 1. The one-side ends of the gate lines 3 are provided with perpendicular shift registers 5. Signal lines 4 are connected to the drains of the TFT switches 1 and the one-side ends of these signal lines 4 are provided with DA converters 6. The common electrodes 8 of all the pixels are connected to one and a specified voltage is impressed thereon. As a result, the problems in packaging do not arise even if the number of the pixels is increased and the signal input frequency is increased. Even if the frame memories are formed on the same substrate as the substrate of the pixels, the generation of unsightly interference noises is averted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

BEST AVAILABLE COPY

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

画像表示装置、その駆動方法及びこれを用いたデータ処理システム

特開平 11-85065

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-85065

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl. ⁶	識別記号	F I
G 0 9 F 9/35	3 0 7	G 0 9 F 9/35 3 0 7
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136 5 0 0
G 0 9 G 3/36		G 0 9 G 3/36

審査請求 未請求 請求項の数34 O L (全 14 頁)

(21) 出願番号 特願平9-248333

(22) 出願日 平成9年(1997) 9月12日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 秋元 肇

東京都国分寺市東恋ヶ窪一丁目280番地株式会社日立製作所中央研究所内

(72) 発明者 波多野 睦子

東京都国分寺市東恋ヶ窪一丁目280番地株式会社日立製作所中央研究所内

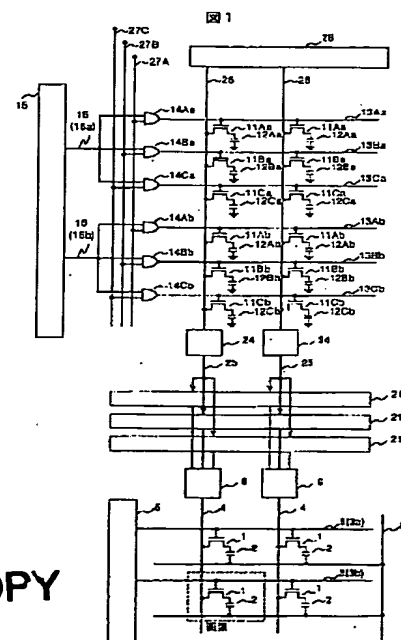
(74) 代理人 弁理士 高橋 明夫 (外1名)

(54) 【発明の名称】 画像表示装置、その駆動方法及びこれを用いたデータ処理システム

(57) 【要約】

【課題】 画像表示装置において、情報表示密度即ち画素数を増大させた場合、信号入力周波数が高くなり実装上の問題を生じ、また画像表示装置と中央データ処理装置との間の信号を無線系で行おうとした場合には、常に所定の信号帯域を占有してしまうという問題がある。

【解決手段】 例えば、フレームメモリを画素と同一基板上に形成することにより、上記問題が解消される。さらに、この際、フレームメモリのワード線と画素部のゲート線とを、同一の駆動周波数で駆動すれば、フレームメモリのワード線クロックが表示画像中に漏れ込み、見苦しい干渉雑音が生じる懸念も解消される。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、

該画素電極と協働して前記電気光学効果を生じる物質を、駆動する共通電極と、

前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、

該ゲート線を選択するための画素選択手段と、

前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、

該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを一体に形成した画像表示装置。

【請求項 2】半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、

該画素電極と協働して前記電気光学効果を生じる物質を、駆動する共通電極と、

前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、

該ゲート線を選択するための画素選択手段と、

前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、

該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備えてなる画像表示装置において、

前記信号電圧印加手段はマトリクス状に配置された複数の記憶素子を備え、

該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、

該ワード線には該ワード線を選択するための記憶素子選択手段が接続されていることを特徴とする画像表示装置。

【請求項 3】半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、

該画素電極と協働して前記電気光学効果を生じる物質を、駆動する共通電極と、

前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、

該ゲート線を選択するための画素選択手段と、

前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、

該複数の信号線の各々に信号電圧を印加する信号電圧印

加手段とを備えてなる画像表示装置において、

マトリクス状に配置された複数の記憶素子を備え、

該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達する

ためのデータ線が接続され、

該ワード線には該ワード線を選択するための記憶素子選択手段が接続されており、

前記記憶素子選択手段は該画素選択手段と同一の駆動周波数で駆動されることを特徴とする画像表示装置。

【請求項 4】半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、

該画素電極と協働して前記電気光学効果を生じる物質を、駆動する共通電極と、

前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、

該ゲート線を選択するための画素選択手段と、

前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、

該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とが一体に形成され、

前記信号電圧印加手段はマトリクス状に配置された複数の記憶素子を備え、

該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、

該ワード線には該ワード線を選択するための記憶素子選択手段が接続されていることを特徴とする画像表示装置。

【請求項 5】半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、

該画素電極と協働して前記電気光学効果を生じる物質を、駆動する共通電極と、

前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、

該ゲート線を選択するための画素選択手段と、

前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、

該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備えてなる画像表示装置において、

前記信号電圧印加手段はマトリクス状に配置された複数の記憶素子を備え、

該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、

該ワード線には該ワード線を選択するための記憶素子選択手段が接続されており、
前記記憶素子選択手段は該画素選択手段と同一の駆動周波数で駆動されることを特徴とする画像表示装置。

【請求項 6】半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、

該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、

前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、

該ゲート線を選択するための画素選択手段と、

前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、

該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とが一体に形成され、

マトリクス状に配置された複数の記憶素子を備え、

該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、

該ワード線には該ワード線を選択するための記憶素子選択手段が接続されており、

前記記憶素子選択手段は該画素選択手段と同一の駆動周波数で駆動されることを特徴とする画像表示装置。

【請求項 7】半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、

該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、

前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、

前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、

該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とが一体に形成され、

前記信号電圧印加手段はマトリクス状に配置された複数の記憶素子を備え、

該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、

該ワード線には該ワード線を選択するための記憶素子選択手段が接続されており、

前記記憶素子選択手段は該画素選択手段と同一の駆動周波数で駆動されることを特徴とする画像表示装置。

【請求項 8】前記記憶素子選択手段と前記画素選択手段

とは、同一の基本構成を有するシフトレジスタで構成されることを特徴とする請求項 2 から 7 の内の一つの請求項に記載の画像表示装置。

【請求項 9】前記記憶素子選択手段と前記画素選択手段とは、同一の基本構成を有するアドレスデコーダで構成されることを特徴とする請求項 2 から 7 の内の一つの請求項に記載の画像表示装置。

【請求項 10】選択された前記記憶素子からの出力信号を伝達するためのデータ線と、前記信号線とが、直接接続されていることを特徴とする請求項 2 から 7 の内の一つの請求項に記載の画像表示装置。

【請求項 11】選択された前記記憶素子からの出力信号を伝達するためのデータ線と、前記信号線とが、DA 変換器を介して接続されていることを特徴とする請求項 2 から 7 の内の一つの請求項に記載の画像表示装置。

【請求項 12】選択された上記記憶素子からの出力信号を伝達するために設けられたデータ線から前記信号線までの回路構成は、各画素列に対して寄生容量を含めて同一に構成されていることを特徴とする請求項 2 から 7 の内の一つの請求項に記載の画像表示装置。

【請求項 13】前記記憶素子選択手段と前記画素選択手段とは、同一の基本構成を有するシフトレジスタで構成されることを特徴とする請求項 1 2 記載の画像表示装置。

【請求項 14】前記記憶素子は、強誘電体を用いた不揮発 RAM(Random Access Memory)であることを特徴とする請求項 2 から 7 の内の一つの請求項に記載の画像表示装置。

【請求項 15】上記記憶素子は、SRAM(Static RAM)であることを特徴とする請求項 2 から 7 の内の一つの請求項に記載の画像表示装置。

【請求項 16】前記記憶素子は、DRAM(Dynamic RAM)であることを特徴とする請求項 2 から 7 の内の一つの請求項に記載の画像表示装置。

【請求項 17】半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、

該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、

前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、

該ゲート線を選択するための画素選択手段と、

前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、

該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備えた画像表示装置の駆動方法において、

前記信号電圧印加手段にマトリクス状に配置された複数の記憶素子を備え、

該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、

該ワード線に該ワード線を選択するための記憶素子選択手段を接続したことを特徴とする画像表示装置の駆動方法。

【請求項 18】半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、

該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、

前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、

該ゲート線を選択するための画素選択手段と、

前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、

該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備えてなる画像表示装置の駆動方法において、

マトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、

該ワード線に該ワード線を選択するための記憶素子選択手段を接続し、

前記記憶素子選択手段を前記画素選択手段と同一の駆動周波数で駆動することを特徴とする画像表示装置の駆動方法。

【請求項 19】半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、

前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、

該ゲート線を選択するための画素選択手段と、

前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、

該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを一体に形成し、

前記信号電圧印加手段にマトリクス状に配置された複数の記憶素子を備え、

該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、

該ワード線に該ワード線を選択するための記憶素子選択手段を接続し、

前記記憶素子選択手段を前記画素選択手段と同一の駆動

周波数で駆動することを特徴とする画像表示装置の駆動方法。

【請求項 20】半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、

05 該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、

前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、

該ゲート線を選択するための画素選択手段と、

10 前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、

該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備え、

15 前記信号電圧印加手段にマトリクス状に配置された複数の記憶素子を備え、

該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、

20 該ワード線に該ワード線を選択するための記憶素子選択手段を接続し、

前記記憶素子選択手段を前記画素選択手段と同一の駆動周波数で駆動することを特徴とする画像表示装置の駆動方法。

25 【請求項 21】半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、

該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、

前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、

30 該ゲート線を選択するための画素選択手段と、

前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、

35 該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを一体に形成し、

マトリクス状に配置された複数の記憶素子を備え、

該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、

40 該ワード線に該ワード線を選択するための記憶素子選択手段を接続し、

前記記憶素子選択手段を前記画素選択手段と同一の駆動周波数で駆動することを特徴とする画像表示装置の駆動方法。

45 【請求項 22】半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、

該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、

50 前記半導体スイッチを所定の順序で選択する為の、互い

に平行に延在する複数本のゲート線と、
該ゲート線を選択するための画素選択手段と、
前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、
該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを一体に形成し、
前記信号電圧印加手段にマトリクス状に配置された複数の記憶素子を備え、
該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、
該ワード線に該ワード線を選択するための記憶素子選択手段を接続し、
前記記憶素子選択手段を前記画素選択手段と同一の駆動周波数で駆動することを特徴とする画像表示装置の駆動方法。

【請求項 23】前記半導体スイッチは、前記ゲート線に接続されるゲート、前記信号線に接続されるドレイン、及び前記画素電極に接続されるソースを備え、前記記憶素子は、前記ワード線に接続されるゲート、前記データ線に接続されるドレイン、及該記憶素子のメモリ容量に接続されるソースからなる記憶素子スイッチを備え、前記半導体スイッチと前記記憶素子スイッチの基本構造が実質的に同一であることを特徴とする請求項 2 から 16 の内の一つの請求項に記載の画像表示装置。

【請求項 24】前記半導体スイッチは、前記ゲート線に接続されるゲート、前記信号線に接続されるドレイン、及び前記画素電極に接続されるソースを備え、前記記憶素子は、前記ワード線に接続されるゲート、前記データ線に接続されるドレイン、及該記憶素子のメモリ容量に接続されるソースからなる記憶素子スイッチを備え、前記半導体スイッチと前記記憶素子スイッチの基本構造が実質的に同一であることを特徴とする請求項 17 から 22 の内の一つの請求項に記載の画像表示装置の駆動方法。

【請求項 25】前記複数の画素の各々には、その画素における電荷保持の時定数を増すための補助容量が設けられ、該補助容量の基本構造と前記記憶素子のメモリ容量の基本構造とが実質的に同一であることを特徴とする請求項 2 から 16 および 23 の内の一つの請求項に記載の画像表示装置。

【請求項 26】前記複数の画素の各々には、その画素における電荷保持の時定数を増すための補助容量が設けられ、該補助容量の基本構造と前記記憶素子のメモリ容量の基本構造とが実質的に同一であることを特徴とする請求項 17 から 22 及び 24 の内の一つの請求項に記載の画像表示装置の駆動方法。

【請求項 27】中央データ処理装置と、請求項 1 から 16, 23 及び 25 の内の一つの請求項に記載の画像表示

装置とを備え、前記中央データ処理装置と該画像表示装置とが無線で結ばれていることを特徴とするデータ処理システム。

【請求項 28】前記画像表示装置が携帯可能な形態のものであることを特徴とする請求項 27 に記載のデータ処理システム。

【請求項 29】表示データを、無線で中央データ処理装置から受け取り、請求項 17 から 22, 24 及び 26 の内の一つの請求項に記載の画像表示装置の駆動方法により表示することを特徴とするデータ処理方法。

【請求項 30】前記中央データ処理装置がパーソナルコンピュータであることを特徴とする請求項 27 に記載のデータ処理システム。

【請求項 31】前記電気光学効果を生じる物質が液晶であることを特徴とする請求項 1 から 16, 23 および 25 の内の一つの請求項に記載の画像表示装置。

【請求項 32】前記記憶素子選択手段の駆動周波数と前記画素選択手段の駆動周波数とは、同一で、かつ同期していることを特徴とする請求項 2 から 16, 23 および 25 の内の一つの請求項に記載の画像表示装置。

【請求項 33】前記記憶素子選択手段の駆動周波数と前記画素選択手段の駆動周波数とは、同一で、かつ同期していることを特徴とする請求項 17 から 22, 24 および 26 の内の一つの請求項に記載の画像表示装置の駆動方法。

【請求項 34】前記半導体スイッチと、前記画素電極と、前記画素選択手段と前記信号電圧印加手段とが同一の基板上に形成されていることを特徴とする請求項 1, 4, 6 から 16 の内の一つの請求項に記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像表示装置、その駆動方法及びこれを用いたデータ処理システム、特に干渉雑音を低減した画像表示装置、その駆動方法及びこれを用いたデータ処理システムに関する。

【0002】

【従来の技術】以下、従来の画像表示装置に関して図 5 を用いて説明する。

【0003】図 5 は従来の画像表示装置の構成例である。TFT スイッチ 101 と、そのソース電極に接続された画素電極と共通電極から成る画素容量 102 で構成される画素が、マトリクス状に配置されている。画素容量 102 には所定の位置に液晶が設けられており、画素容量 102 への書き込み電圧によって光学特性が変調され、画像を表示することができる。TFT スイッチ 101 のゲートにはゲート線 103 が接続されており、ゲート線 103 の一端には垂直シフトレジスタ 105 が設けられている。また TFT スイッチ 101 のドレインには信号線 104 が接続されており、信号線 104 の一端に

はDA変換器106が設けられている。一方信号入力線109は、信号ラッチ107を介して、DA変換器106に入力している。信号ラッチ107には水平シフトレジスタ110が入力してしている。全ての画素の共通電極108は一つに接続されて一定の電圧が印加されている。なおここで図5に示したDA変換器106等の各部は、ポリシリコン (Poly-Si) TFTを用いて構成されている。

【0004】以下、本従来例の動作について説明する。信号入力線109線に入力されたデジタル入力信号は、水平シフトレジスタ110の走査に従って順次、信号ラッチ107にラッチされる。ラッチされた入力信号は、一括してDA変換器106に入力され、アナログ信号に変換されて信号線104に印加される。このとき垂直シフトレジスタ105によって選択されたゲート線103の行の画素は、そのTFTスイッチ101がオン状態になっているため、信号線104に印加されたアナログ信号が画素容量102に書き込まれる。この結果、信号が書き込まれた画素の液晶部分には入力信号に対応する電界が印加されるため、信号に応じた画像を表示することができる。

【0005】このような従来の画像表示装置の例としては、例えばソサイアティ フォアインフォメーションディスプレイ インターナショナル シンポジウムダイジェスト オブ テクニカル ペイパーズ (Society for Information Display International symposium Digest of Technical Papers) 96(SID 96), pp.21-24等に詳しく述べられている。

【0006】

【発明が解決しようとする課題】上記従来例等に於いては、映像を表示し続けるためには信号入力線109から常時、画像信号を入力し続けなくてはならなかった。このため特に、情報表示密度即ち画素数が増大した場合信号入力周波数が高くなり、実装上の問題を生じていた。また、画像表示装置と中央データ処理装置との間を信号の受け渡しを無線系で行おうとした場合には、常に所定の信号帯域を占有してしまうという問題がある。

【0007】

【課題を解決するための手段】上記問題を回避することは、フレームメモリをディスプレイと一体化することで達成される。その際、低コスト化のために、フレームメモリを、画素と同一基板上にpoly-Si TFTで形成した場合、フレームメモリのワード線クロックが表示画像中に漏れ込み、見苦しい干渉雑音が生じてしまうという問題が起り得る。

【0008】本発明の画像表示装置及びその駆動方法は、以下の構成により上記課題を解決する。

【0009】すなわち、本発明の請求項1に記載の第1の発明は、半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続

された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを一体に形成した画像表示装置である。

【0010】また、請求項2に記載の第2の発明は、半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備えてなる画像表示装置において、前記信号電圧印加手段はマトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、該ワード線には該ワード線を選択するための記憶素子選択手段が接続されていることを特徴とする画像表示装置である。

【0011】また、請求項3に記載の第3の発明は、半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備えてなる画像表示装置において、マトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、該ワード線には該ワード線を選択するための記憶素子選択手段が接続されており、前記記憶素子選択手段は該画素選択手段と同一の駆動周波数で駆動されることを特徴とする画像表示装置である。

【0012】また、請求項4に記載の第4の発明は、半

導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とが一体に形成され、前記信号電圧印加手段はマトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、該ワード線には該ワード線を選択するための記憶素子選択手段が接続されていることを特徴とする画像表示装置である。

【0013】また、請求項5に記載の第5の発明は、半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備えてなる画像表示装置において、前記信号電圧印加手段はマトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、該ワード線には該ワード線を選択するための記憶素子選択手段が接続されており、前記記憶素子選択手段は該画素選択手段と同一の駆動周波数で駆動されることを特徴とする画像表示装置である。

【0014】また、請求項6に記載の第6の発明は、半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とが一

体形成され、マトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、該ワード線には該ワード線を選択するための記憶素子選択手段が接続されており、前記記憶素子選択手段は該画素選択手段と同一の駆動周波数で駆動されることを特徴とする画像表示装置である。

【0015】また、請求項7に記載の第7の発明は、半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とが一体に形成され、前記信号電圧印加手段はマトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線が接続され、該ワード線には該ワード線を選択するための記憶素子選択手段が接続されており、前記記憶素子選択手段は該画素選択手段と同一の駆動周波数で駆動されることを特徴とする画像表示装置である。

【0016】また、請求項8に記載の第8の発明は、請求項2から7の内の一つの請求項に記載の画像表示装置において、前記記憶素子選択手段と前記画素選択手段とは、同一の基本構成を有するシフトレジスタで構成されることを特徴とする画像表示装置である。

【0017】また、請求項9に記載の第9の発明は、請求項2から7の内の一つの請求項に記載の画像表示装置において、前記記憶素子選択手段と前記画素選択手段とは、同一の基本構成を有するアドレスデコーダで構成されることを特徴とする画像表示装置である。

【0018】また、請求項10に記載の第10の発明は、請求項2から7の内の一つの請求項に記載の画像表示装置において、選択された前記記憶素子からの出力信号を伝達するためのデータ線と、前記信号線とが、直接接続されていることを特徴とする画像表示装置である。

【0019】また、請求項11に記載の第11の発明は、請求項2から7の内の一つの請求項に記載の画像表示装置において、選択された前記記憶素子からの出力信号を伝達するためのデータ線と、前記信号線とが、D/A変換器を介して接続されていることを特徴とする画像表示装置である。

【0020】また、請求項12に記載の第12の発明

は、請求項 2 から 7 の内の一つの請求項に記載の画像表示装置において、選択された上記記憶素子からの出力信号を伝達するために設けられたデータ線から前記信号線までの回路構成は、各画素列に対して寄生容量を含めて同一に構成されていることを特徴とする画像表示装置である。

【0021】また、請求項 13 に記載の第 13 の発明は、請求項 12 に記載の画像表示装置において、前記記憶素子選択手段と前記画素選択手段とは、同一の基本構成を有するシフトレジスタで構成されることを特徴とする画像表示装置である。

【0022】また、請求項 14 に記載の第 14 の発明は、請求項 2 から 7 の内の一つの請求項に記載の画像表示装置において、前記記憶素子は、強誘電体を用いた不揮発 RAM(Random Access Memory)であることを特徴とする画像表示装置である。

【0023】また、請求項 15 に記載の第 15 の発明は、請求項 2 から 7 の内の一つの請求項に記載の画像表示装置において、上記記憶素子は、SRAM(Static RAM)であることを特徴とする画像表示装置である。

【0024】また、請求項 16 に記載の第 16 の発明は、請求項 2 から 7 の内の一つの請求項に記載の画像表示装置において、前記記憶素子は、DRAM(Dynamic RAM)であることを特徴とする画像表示装置である。

【0025】また、請求項 17 に記載の第 17 の発明は、半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備えた画像表示装置の駆動方法において、前記信号電圧印加手段にマトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、該ワード線に該ワード線を選択するための記憶素子選択手段を接続したことを特徴とする画像表示装置の駆動方法である。

【0026】また、請求項 18 に記載の第 18 の発明は、半導体スイッチと、電気光学効果を生じる物質に電界を印加するための、前記半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本の

ゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備えてなる画像表示装置の駆動方法において、マトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、該ワード線に該ワード線を選択するための記憶素子選択手段を接続し、前記記憶素子選択手段を前記画素選択手段と同一の駆動周波数で駆動することを特徴とする画像表示装置の駆動方法である。

【0027】また、請求項 19 に記載の第 19 の発明は、半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを一体に形成し、前記信号電圧印加手段にマトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、該ワード線に該ワード線を選択するための記憶素子選択手段を接続し、前記記憶素子選択手段を前記画素選択手段と同一の駆動周波数で駆動することを特徴とする画像表示装置の駆動方法である。

【0028】また、請求項 20 に記載の第 20 の発明は、半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを備え、前記信号電圧印加手段にマトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、該ワード線に該ワード線を選択するための記憶素子選択手段を接続し、前記記憶素子選択手段を前記画素選択手段と同一の駆動周波数で駆動することを特徴とする画像表示装置の駆動方

法である。

【0029】また、請求項21に記載の第21の発明は、半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを一体に形成し、マトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、該ワード線に該ワード線を選択するための記憶素子選択手段を接続し、前記記憶素子選択手段を前記画素選択手段と同一の駆動周波数で駆動することを特徴とする画像表示装置の駆動方法である。

【0030】また、請求項22に記載の第22の発明は、半導体スイッチに接続された画素電極とを備え、マトリクス状に配列された複数の画素と、該画素電極と協働して前記電気光学効果を生じる物質を駆動する共通電極と、前記半導体スイッチを所定の順序で選択する為の、互いに平行に延在する複数本のゲート線と、該ゲート線を選択するための画素選択手段と、前記半導体スイッチの内の選択されたものを介して、上記画素電極に信号電圧を入力するための、前記ゲート線に対し垂直方向に延在する複数の信号線と、該複数の信号線の各々に信号電圧を印加する信号電圧印加手段とを一体に形成し、前記信号電圧印加手段にマトリクス状に配置された複数の記憶素子を備え、該記憶素子の各々には、読み出すべき記憶素子を駆動するためのワード線及び前記信号線に出力信号を伝達するためのデータ線を接続し、該ワード線に該ワード線を選択するための記憶素子選択手段を接続し、前記記憶素子選択手段を前記画素選択手段と同一の駆動周波数で駆動することを特徴とする画像表示装置の駆動方法である。

【0031】また、請求項23に記載の第23の発明は、請求項2から16の内の一つの請求項に記載の画像表示装置において、前記半導体スイッチは、前記ゲート線に接続されるゲート、前記信号線に接続されるドレイン、及び前記画素電極に接続されるソースを備え、前記記憶素子は、前記ワード線に接続されるゲート、前記データ線に接続されるドレイン、及該記憶素子のメモリ容量に接続されるソースからなる記憶素子スイッチを備え、前記半導体スイッチと前記記憶素子スイッチの基本構造が実質的に同一であることを特徴とする画像表示装置である。

【0032】また、請求項24に記載の第24の発明

は、請求項17から22の内の一つの請求項に記載の画像表示装置の駆動方法において、前記半導体スイッチは、前記ゲート線に接続されるゲート、前記信号線に接続されるドレイン、及び前記画素電極に接続されるソースを備え、前記記憶素子は、前記ワード線に接続されるゲート、前記データ線に接続されるドレイン、及該記憶素子のメモリ容量に接続されるソースからなる記憶素子スイッチを備え、前記半導体スイッチと前記記憶素子スイッチの基本構造が実質的に同一であることを特徴とする画像表示装置の駆動方法である。

【0033】また、請求項25に記載の第25の発明は、請求項2から16および23の内の一つの請求項に記載の画像表示装置において、前記複数の画素の各々には、その画素における電荷保持の時定数を増すための補助容量が設けられ、該補助容量の基本構造と前記記憶素子のメモリ容量の基本構造とが実質的に同一であることを特徴とする画像表示装置である。

【0034】また、請求項26に記載の第26の発明は、請求項17から22及び24の内の一つの請求項に記載の画像表示装置の駆動方法において、前記複数の画素の各々には、その画素における電荷保持の時定数を増すための補助容量が設けられ、該補助容量の基本構造と前記記憶素子のメモリ容量の基本構造とが実質的に同一であることを特徴とする画像表示装置の駆動方法である。

【0035】また、請求項27に記載の第27の発明は、中央データ処理装置と、請求項1から16、23及び25の内の一つの請求項に記載の画像表示装置とを備え、前記中央データ処理装置と該画像表示装置とが無線で結ばれていることを特徴とするデータ処理システムである。

【0036】また、請求項28に記載の第28の発明は、請求項27に記載のデータ処理システムにおいて、前記画像表示装置が携帯可能な形態のものであることを特徴とするデータ処理システムである。

【0037】また、請求項29に記載の第29の発明は、表示データを、無線で中央データ処理装置から受け取り、請求項17から22、24及び26の内の一つの請求項に記載の画像表示装置の駆動方法により表示することを特徴とするデータ処理方法である。

【0038】また、請求項30に記載の第30の発明は、請求項27に記載のデータ処理システムにおいて、前記中央データ処理装置がパーソナルコンピュータであることを特徴とするデータ処理システムである。

【0039】また、請求項31に記載の第31の発明は、請求項1から16、23および25の内の一つの請求項に記載の画像表示装置において、前記電気光学効果を生じる物質が液晶であることを特徴とする画像表示装置である。

【0040】また、請求項32に記載の第32の発明

は、請求項 2 から 16、23 および 25 の内の一つの請求項に記載の画像表示装置において、前記記憶素子選択手段の駆動周波数と前記画素選択手段の駆動周波数とは、同一で、かつ同期していることを特徴とする画像表示装置である。

【0041】また、請求項 33 に記載の第 33 の発明は、請求項 17 から 22、24 および 26 の内の一つの請求項に記載の画像表示装置の駆動方法において、前記記憶素子選択手段の駆動周波数と前記画素選択手段の駆動周波数とは、同一で、かつ同期していることを特徴とする画像表示装置の駆動方法である。

【0042】また、請求項 34 に記載の第 34 の発明は、請求項 1、4、6 から 16 の内の一つの請求項に記載の画像表示装置において、前記半導体スイッチと、前記画素電極と、前記画素選択手段と、前記信号電圧印加手段とが同一の基板上に形成されていることを特徴とする画像表示装置である。

【0043】

【発明の実施の形態】 先ず、本発明の第一の実施の形態を図 1 及び図 2 を用いて説明する。

【0044】図 1 は本発明の第一の実施の形態における画像表示装置の構成図である。TFT スイッチ 1 と、そのソース電極に接続された画素電極と共通電極から成る画素容量 2 で構成される画素が、マトリクス状に配置されている。画素容量 2 には所定の位置に液晶が設けられており、画素容量 2 への書き込み電圧によって光学特性が変調され、画像を表示することができる。TFT スイッチ 1 のゲートにはゲート線 3 が接続されており、ゲート線 3 の一端には垂直シフトレジスタ 5 が設けられている。また TFT スイッチ 1 のドレインには信号線 4 が接続されており、信号線 4 の一端には DA 変換器 6 が設けられている。全ての画素の共通電極 8 は一つに接続されて一定の電圧が印加されている。

【0045】DA 変換器 6 の入力部には不揮発 RAM マトリクスが設けられている。TFT スイッチ 11A、11B、11C と、そのソース電極に接続されたメモリ容量 12A、12B、12C で構成されるメモリセルが、マトリクス状に配置されている。メモリ容量 12A、12B、12C には強誘電体（例えば、PZT）が挟み込まれており、各メモリセルは不揮発メモリセルとして動作する。TFT スイッチ 11A、11B、11C のゲートにはワード線 13A、13B、13C がそれぞれ接続されており、ワード線 13A、13B、13C の一端には AND 回路 14A、14B、14C を介してメモリシフトレジスタ 15 が設けられている。また TFT スイッチ 11A、11B、11C のドレインにはデータ線 26 が接続されており、データ線 26 の一端にはセンスアンプ 24 が、他端にはデータ入力回路 28 が設けられている。センスアンプ 24 の出力線 25 はラッチ回路 21A、21B、21C に入力され、ラッチ回路 21A、2

1B、21C の出力は前述の DA 変換器 6 に入力している。なお AND 回路 14A、14B、14C には、メモリシフトレジスタ 15 の出力であるワード走査線 16 と、ビット選択線 27A、27B、27C がそれぞれ入力している。なおここで説明した DA 変換器 6、垂直シフトレジスタ 5、メモリシフトレジスタ 15 等の各部分は、同一基板上に Poly-Si TFT を用いて構成されている。

【0046】次に、本第一の実施の形態の動作について図 2 を用いて説明する。図 2 はゲート線 3、ワード走査線 16、ワード線 13A、13B、13C の動作波形であり、上がオン、下がオフに相当する。予めメモリセルアレイには、データ入力回路 28 及びメモリシフトレジスタ 15 を介して画像信号が記憶されている。この際の記憶動作は通常の DRAM 等と同一であるので省略する。

【0047】なお、図 1 では図面の簡略化のために 2x2 画素しか記載していないため、図 2 のサフィックス c に対応する部位は省略されているが、図 2 では 3x3 画素以上が存在するものとして記述している。センスアンプ 24 がデータ線 26 をリセットした後、メモリシフトレジスタ 15 がワード走査線 16b をオンさせると、ビット選択線 27A、27B、27C がそれぞれ AND 回路 14Ab、14Bb、14Cb を順番にオンさせ、ワード線 13Ab、13Bb、13Cb が順番に走査される。

【0048】このときワード線 13Ab、13Bb、13Cb は TFT スイッチ 11Ab、11Bb、11Cb を順にオンにし、メモリ容量 12Ab、12Bb、12Cb に記憶されていたデータ信号はデータ線 26、センスアンプ 24 と出力線 25 を介してラッチ回路 21A、21B、21C にラッチされる。この次のクロックによって、メモリシフトレジスタ 15 はワード走査線 16b をオフさせ、次いでセンスアンプ 24 がデータ線 26 をリセットした後、メモリシフトレジスタ 15 がワード走査線 16c をオンさせ、ワード線 13Ac、13Bc、13Cc の走査が行われる。このときラッチ回路 21A、21B、21C はワード線 13Ac、13Bc、13Cc に対応したデータをラッチすると同時に、前述のワード線 13Ab、13Bb、13Cb に対応したデータを DA 変換器 6 に出し、DA 変換器 6 はそのアナログ信号出力を信号線 4 に印加する。図 2 に示したように、メモリシフトレジスタ 15 がワード走査線 16 を走査するのに同期して、垂直シフトレジスタ 5 は同一クロックでゲート線 3 を走査する。即ち DA 変換器 6 がワード線 13Ab、13Bb、13Cb に対応したアナログ信号出力を信号線 4 に印加するのに同期して、垂直シフトレジスタ 5 はゲート線 3b をオンし、ゲート線 3b に対応する行の画素は、その TFT スイッチ 1 がオン状態になっているため、信号線 4 に印加されたアナログ信号

が画素容量 2 に書き込まれる。この結果、信号が書き込まれた画素の液晶部分には入力信号に対応する電界が印加されるため、信号に応じた画像を表示することができる。ここでメモリシフトレジスタ 1 5 の動作は垂直シフトレジスタ 5 の動作と、同一周波数で駆動されているので、クロックの干渉波形が表示画像中への雑音として飛び込むことはない。なお、メモリシフトレジスタ 1 5 の動作は垂直シフトレジスタ 5 の動作と同期していても、同期していなくとも良い。

【0049】本第一の実施の形態では、DA変換器 6 の構成に関しては特に制限はない。DA変換器 6 は前記の従来例のように、容量を用いて電圧加算方式で構成することが可能であるし、一般のSiトランジスタを用いたドライバのように抵抗分圧方式やその変形を用いること等も可能であることは言うまでもない。

【0050】更に上記第一の実施の形態に於いては、メモリセルアレイを不揮発メモリとしたが、これを通常のDRAMとしても本発明は適用可能である。ただしこの場合にリフレッシュ動作が必要になることは明らかである。

【0051】また上記第一の実施の形態では画像信号を 3 ビットとして説明したが、任意のビット信号に関して本発明は適用可能である。

【0052】そしてまた上記第一の実施の形態では、メモリシフトレジスタ 1 5 及び垂直シフトレジスタ 5 を用いてメモリセル及び画素を走査したが、シフトレジスタに限らず、同一クロックで駆動されるアドレスデコーダを両者、或いは一方に用いても本発明の目的は達成される。但しこのとき、メモリシフトレジスタ 1 5 及び垂直シフトレジスタ 5 を同一基本回路構成としておくと、クロック雑音の映像への飛込みに対する動作マージンを広げることができる。

【0053】なお図 1 のように、特に画素をメモリセルと一直線上に配置レイアウトすると、各データ線 2 6 や、信号線 4 の寄生容量が各列で同一になり、表示画像出力の均一性向上を図れる利点がある。

【0054】上記実施の形態では、DA変換器 6、垂直シフトレジスタ 5、メモリシフトレジスタ 1 5 等の各部分は、同一基板上にPoly-Si TFTを用いて構成している。しかしながら画像表示装置は、電気光学効果を生じる物質を、通常対向する一対の基板の間にサンドイッチした構造に形成されていることが多いので、本発明においては、TFTスイッチ 1、DA変換器 6、TFTスイッチ 1 1、メモリ容量 1 2、ラッチ回路 2 1、垂直シフトレジスタ 5、メモリシフトレジスタ 1 5、センスアンプ 2 4、などの全てを同一基板上に形成した一体構造にしても良いし、またこれらの内、一部のみを同一基板上に形成し、残りを上記対向する他方の基板上に形成した一体構造をとっても良い。次に、本発明の第二の実施の形態を図 3 を用いて説明する。

【0055】図 3 は本発明による画像表示装置の他の構成図である。TFTスイッチ 1 と、そのソース電極に接続された画素電極と共通電極から成る画素容量 2 で構成される画素が、マトリクス状に配置されている。画素容量 2 には所定の位置に液晶が設けられており、画素容量 2 への書き込み電圧によって光学特性が変調され、画像を表示することができる。TFTスイッチ 1 のゲートにはゲート線 3 が接続されており、ゲート線 3 の一端には垂直シフトレジスタ 5 が設けられている。またTFTスイッチ 1 のドレインには信号線 5 4 が接続されている。全ての画素の共通電極 8 は一つに接続されて一定の電圧が印加されている。

【0056】信号線 5 4 の上半分にはSRAMマトリクスが設けられている。TFT 6 1、6 2、6 3、6 4、6 5、6 6 は 6 トランジスタから成るSRAMセルを構成している。SRAM入出力スイッチ 6 1、6 2 のゲートにはワード線 5 6 を介してメモリシフトレジスタ 1 5 が設けられている。またSRAM入出力スイッチ 6 1、6 2 のドレインに接続されているデータ線 5 4、5 5 の一本は前述の信号線 5 4 そのものである。データ線 5 4、5 5 の一端にはデータ入力回路 5 7 が設けられている。

【0057】以上で説明した垂直シフトレジスタ 5、メモリシフトレジスタ 1 5 等の各部分は、同一基板状にPoly-Si TFTを用いて構成されている。なお、画像表示装置は、電気光学効果を生じる物質を、通常対向する一対の基板の間にサンドイッチした構造に形成されていることが多いので、本実施の形態においても、TFTスイッチ 1、SRAM、垂直シフトレジスタ 5、メモリシフトレジスタ 1 5、などの全てを同一基板上に形成した一体構造にしても良いし、またこれらの内、一部のみを同一基板上に形成し、残りを上記対向する他方の基板上に形成した一体構造をとっても良い。

【0058】つぎに本第二の実施の形態の動作について説明する。予めメモリセルアレイには、データ入力回路 5 7 及びメモリシフトレジスタ 1 5 を介して画像信号が記憶されている。この際の記憶動作は通常のSRAMと同一であるので省略する。データ入力回路 5 7 が一般のSRAM同様にデータ線 5 4、5 5 をリセットした後、メモリシフトレジスタ 1 5 が選択したワード線 5 6 をオンさせると、データ線 5 4 (信号線 5 4)、5 5 には選択されたメモリセルに記憶されていた信号が出力される。ここでメモリシフトレジスタ 1 5 がワード線 5 6 を走査するのに同期して、垂直シフトレジスタ 5 は同一クロックでゲート線 3 を走査する。即ち出力信号が信号線 5 4 に出力されるのに同期して、垂直シフトレジスタ 5 は選択されたゲート線 3 をオンし、ゲート線 3 に対応する行の画素は、そのTFTスイッチ 1 がオン状態になっているため、信号線 5 4 に印加された信号が画素容量 2 に書き込まれる。この結果、信号が書き込まれた画素の

液晶部分には入力信号に対応する電界が印加されるため、信号に応じた画像を表示することができる。ここでメモリシフトレジスタ 1 5 の動作は垂直シフトレジスタ 5 の動作と同一周波数で駆動されているため、クロックの干渉波形が表示画像中への雑音として飛び込むことはない。

【0059】なお、メモリシフトレジスタ 1 5 の動作は垂直シフトレジスタ 5 の動作と同期していても、いなくとも良い。

【0060】本第二の実施の形態に於いては各画素に入力される画像信号は 1 ビットであるが、DA 変換器が必要であり、装置の構造を簡略化できる利点がある。

【0061】なお、SRAM 部分はセルアレイのみで構成したが、セルの小型化を図りながら SRAM の読みだし動作を高速化するためには、一般の SRAM のようにセンスアンプ回路をデータ線 5 4, 5 5 間に設けても良い。

【0062】次に、本発明の第三の実施の形態を図 4 を用いて説明する。図 4 (a) 及び図 4 (b) はそれぞれ、前記第一の実施の形態において使用し得るメモリセル及び画素部の断面図である。

【0063】図 4 (a) において、メモリセルは、メモリ容量 1 2 と、ワード線 1 3 をゲート、データ線 2 6 をドレインとし、メモリ容量に接続されるソースからなる TFT スイッチ 1 1 から構成されている。

【0064】一方、図 4 (b) において、画素は、画素ゲート線 3 a をゲート、信号線 4 をドレインとし、画素電極に接続されるソースとからなる TFT スイッチ 1 と、透明電極 9 0 からなる画素電極と、これに対向して設けられた共通電極 9 1 と、これら両電極の間に挟持された液晶層 9 2 とから構成されている。

【0065】図 4 (a) 及び図 4 (b) において、9 5 は絶縁膜、9 6 はガラスやプラスチックなどからなる透明基板である。また液晶表示装置の場合には、その光変調方式によっては、偏光板などの光学部品を必要とするものもあるが、これは周知の技術なのでここでは省略する。

【0066】なお、液晶表示装置の場合、各画素部の電荷保持の定数数を大きくする目的で、液晶容量に並列に補助容量を、その必要性に応じて設ける場合がある。補助容量形成方法としては、画素電極と、当該画素のゲート線に隣接するゲート線（即ち前段あるいは次段のゲート線）との間に容量を形成する付加容量方式と、画素電極と独立電極との間に容量を形成する蓄積容量方式とがある。図 4 (b) に示した画素においては、ゲート線 3 a に隣接するゲート線 3 b を利用して付加容量 1 2 0 を形成した例が例示されている。

【0067】さて、本第三の実施の形態では、図 4 (a) に示した TFT スイッチ 1 1 と、図 4 (b) に示した TFT スイッチ 1 とを、それらの基本構造を実質的

に同一のものとするにより製造プロセスの簡略化を可能とするものである。

【0068】さらに、本第三の実施の形態では、図 4 (a) に示したメモリ容量 1 2 形成部と、図 4 (b) に示した補助容量 1 2 0 形成部 TFT スイッチ 1 とを、それらの基本構造を実質的に同一のものとするにより製造プロセスのさらなる簡略化を可能とするものである。

【0069】上記第一、第二及び第三の実施の形態における各画像表示装置においては、各画素における光変調部材として液晶を使用しているが、液晶の代わりに他の電気光学効果を生じる部材、例えばエレクトロルミネセンス (EL) 材料が使えることは勿論である。

【0070】次に、本発明の第四の実施の形態について説明する。

【0071】第四の実施の形態においては、画像表示装置とコンピュータ本体との間、電子手帳とコンピュータ本体或いは中央のデータベースとの間、ノートパソコン等のポータブル機器とコンピュータ本体或いは中央のデータベースとの間、投射型液晶 TV における映像投射器と TV 電波受信機との間などで、情報データの受け渡しを無線で行う場合の、画像表示機器側に前記第一或いは第二の実施の形態の画像表示装置を使用するものである。本実施の形態によれば、同一の周波数帯域を過度に占有する必要がなくなり、かつフレームメモリと表示部との間で干渉雑音の発生も防止できる。

【0072】

【発明の効果】本発明に依れば、画像表示装置において、情報表示密度即ち画素数を増大させたことにより信号入力周波数が高くなっても実装上の問題を生ぜず、さらに、フレームメモリを画素と同一基板上に形成しても、フレームメモリのワード線クロックが表示画像中に漏れ込み、見苦しい干渉雑音が生じてしまうこともない。

【図面の簡単な説明】

【図 1】本発明による第一の実施の形態である液晶表示装置の構成図である。

【図 2】本発明の第一の実施の形態に於けるゲート線、ワード走査線、ワード線の動作波形図である。

【図 3】本発明による第二の実施の形態である液晶表示装置の構成図である。

【図 4】本発明による第三の実施の形態の構成図であり、図 4 (a) はメモリセルのスイッチ部、図 4 (b) は表示画素のスイッチ部を示す構成図である。

【図 5】従来例の液晶表示装置の構成図である。

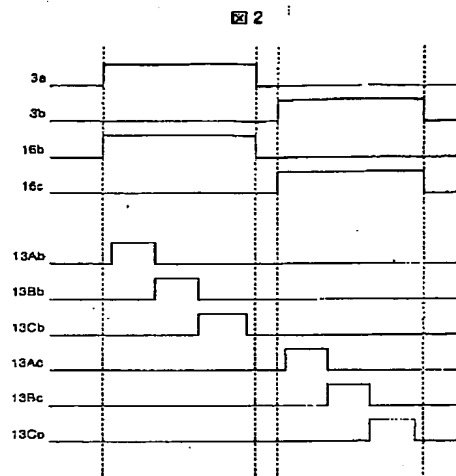
【符号の説明】

1…TFT スイッチ、2…画素容量、3…ゲート線、4…信号線、5…垂直シフトレジスタ、6…DA 変換器、1 1…TFT スイッチ、1 2…メモリ容量、1 3…ワード線、1 5…メモリシフトレジスタ、1 6…ワード走査

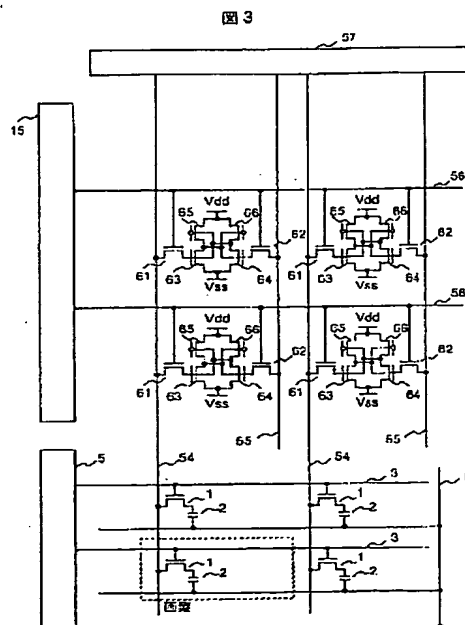
特開平 1 1-8 5 0 6 5

一タ線、27…ビット選択線、120…補助容量。

【图2】



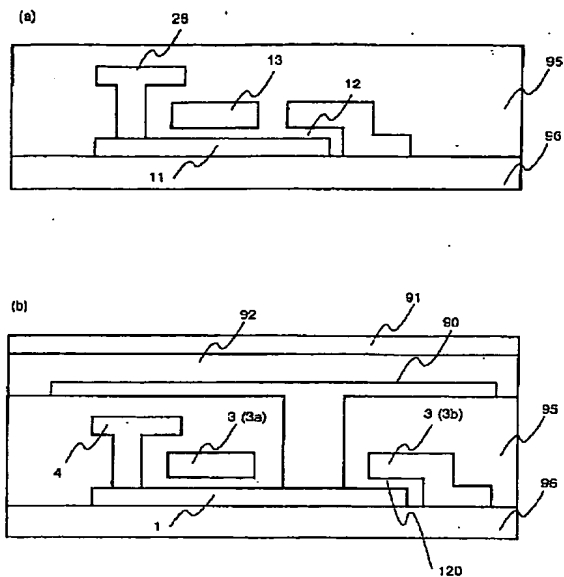
【図 3】



BEST AVAILABLE COPY

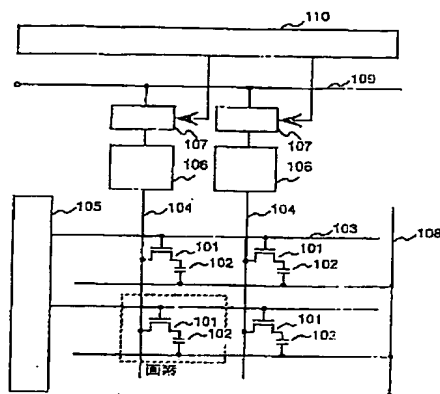
【図4】

図4



【図5】

図5



BEST AVAILABLE COPY